

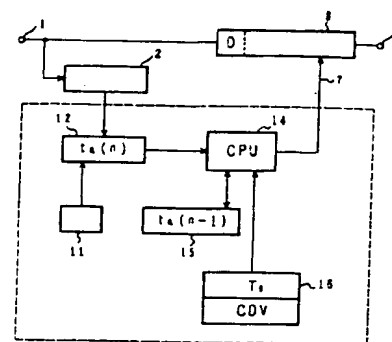
(54) CELL TRAFFIC MONITORING DEVICE

(11) 5-260072 (A) (43) 8.10.1993 (19) JP
 (21) Appl. No. 4-51736 (22) 10.3.1992
 (71) NIPPON TELEGR & TELEPH CORP <NTT>
 (72) NAOAKI YAMANAKA(2)
 (51) Int. Cl⁵. H04L12/48, H04L12/56, H04M3/36

BEST AVAILABLE COPY

PURPOSE: To prevent contract terms from being judged as disagree at the monitoring point even though the contract terms are satisfied in the user's line by performing polishing by relaxing the terms to the time corresponding to the variance (CDV) of the waiting time in asynchronous multiplexing.

CONSTITUTION: This device is provided with an input terminal 1 inputting signal to be monitored including the cell of one virtual pass index(VPI) and a cell detection circuit 2 corresponding to the VPI identification circuit inputting this signal. The circuit surrounded by broken line corresponds to the means transmitting discrimination output 7 so as to abolish cells identified by a cell detection circuit 2. If there is a cell exceeding the terms among incoming cells at the monitoring point, the circuit surrounded by broken line, one or more cells are virtually shifted by CDV. If it satisfies the requirements, cells are treated as coming in the virtually shifted time in the processing and the later.



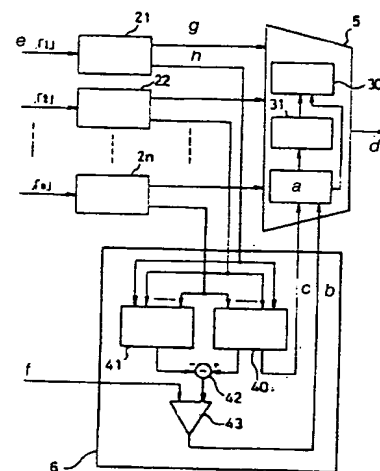
8: disposal processing, 11: clock

(54) PACKET LINE CONCENTRATOR

(11) 5-260073 (A) (43) 8.10.1993 (19) JP
 (21) Appl. No. 4-52212 (22) 11.3.1992
 (71) OKI ELECTRIC IND CO LTD (72) YASUSHI OKAMOTO(3)
 (51) Int. Cl⁵. H04L12/48, H04Q11/04

PURPOSE: To realize the packet line concentrator capable of preventing the packet disposal in advance.

CONSTITUTION: A selection control section 6 stores packet storage amount from buffer memories 21-2n. The section 6 detects the maximum and minimum values of the storage amount, comparing the difference with the threshold value. When the difference is lower, cyclic mode information is given to a path selection section 5. The path selection section 5 takes out a packet from a buffer memory according to the prescribed cyclic order to be transmitted to the outgoing line. On the other hand, the section 6 gives the forced mode information and buffer memory information with the maximum storage amount to the section 5. In this case, the section 5 takes the packet out of the buffer memory to be transmitted to the outgoing line.



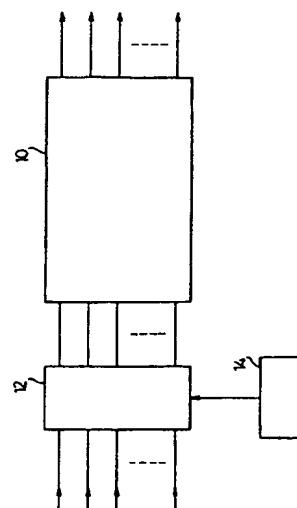
30: path selection main body, 31: cyclic control section, 40: maximum storage amount detection section, 41: minimum storage amount detection section, 43: comparison, a: selection control information decoding section, b: mode information, c: buffer memory information, d: outgoing line, e: path, f: threshold, g: cell, h: storage amount

(54) ATM SWITCH

(11) 5-260074 (A) (43) 8.10.1993 (19) JP
 (21) Appl. No. 4-53398 (22) 12.3.1992
 (71) FUJITSU LTD(1) (72) TOSHIYUKI SUDO(5)
 (51) Int. Cl⁵. H04L12/48, H04Q3/52

PURPOSE: To make the buffer length of each buffer shorter than heretofore without deteriorating the cell disposal ratio by distributing traffic in the input line by exchanging the information cell path according to control signals of bits.

CONSTITUTION: This switch is provided with a traffic distribution switch 12 arranged on the front stage of a distributed control buffer type ATM switch 10 and distributing the traffic in the input line with the exchange of the information cell path according to the control signal of plural bits and a control signal generation circuit 14 generating control signals for the traffic distribution switch 12 in the prescribed order. Even at the concentration of cells on the specific input or output line, a traffic distribution switch 12 distributes cells uniformly to each input line under the control of the control signal from the control signal generation circuit 14. As the traffic is distributed, making an effective use of many buffers can be made available. Moreover, it is preferred that the randomness of the control signal is enhanced.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-260072

(43)公開日 平成5年(1993)10月8日

(51)IntCl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 4 L 12/48

12/56

H 0 4 M 3/36

B 8426-5K

8529-5K

8529-5K

H 0 4 L 11/ 20

Z

1 0 2 Z

審査請求 未請求 請求項の数4(全 12 頁)

(21)出願番号

特願平4-51736

(22)出願日

平成4年(1992)3月10日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 山中 直明

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)発明者 佐藤 陽一

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)発明者 佐藤 健一

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(74)代理人 弁理士 井出 直孝 (外1名)

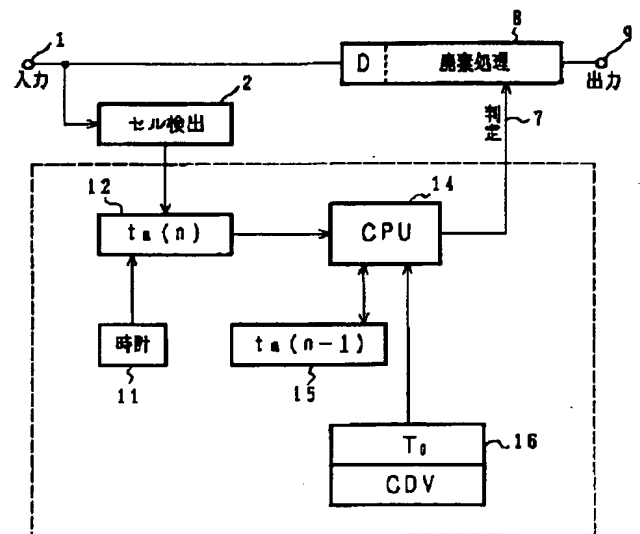
(54)【発明の名称】 セルトラヒック監視装置

(57)【要約】

【目的】 非同期多重信号について各VPI毎に利用者が契約条件を満足するようにセル送信を行っているかどうかを監視する装置である。利用者の送信点と通信業者のポリシングを行う点との間で、セル伝送に遅延変動がある場合に合理的な判定を行う。

【構成】 契約条件を満足しないとしてポリシングによりセル廃棄を行う場合に、その廃棄しようとするセルについて、セル伝送の遅延変動(CDV)に相当する時間だけ仮想的に後ろにずらしてみ、それで契約条件を満足するならば、契約条件に違反していないものとして処理するとともに、そのセルについては仮想的に後ろにずらした時刻に到着したものとして以降の処理を実行する。

【効果】 利用者としては契約条件を守って送信しているにもかかわらず、監視点で遅延変動のために契約条件に違反しているとしてセルが廃棄されてしまうようなことを防止できる。そのための回路を簡単化することができる。



【特許請求の範囲】

【請求項1】一または複数のバーチャルパス番号（以下VPI（Virtual Path Identifier）という）のセルを含む被監視信号を入力する入力端子と、この信号を入力とするVPI識別回路とを備え、

このVPI識別回路で識別されたセルがTセル時間にx個を越えるときそのセルを廃棄するための判定出力を送出する手段をVPI毎に備えたセルトラヒック監視装置において、

前記VPI識別回路で識別された連続するセルの個数がx+1個に達する時間がTセル時間を越えるか否かを判定する手段と、

この判定する手段が連続するx+1個のセルについてTセル時間を越えると判定した場合にそのx+1個めのセルを仮想的にある値（CDV）の範囲で遅らせるとTセル時間にx個を越えないことになる場合には、そのセルの廃棄を免れるまでそのx+1個めのセルが仮想的に遅れて到着したものとしてそれ以降の処理を行う手段とを備えたことを特徴とするセルトラヒック監視装置。

【請求項2】複数のVPIについて一つの装置が共用され、各VPIについて前記Tの値およびまたは前記xの値が異なる値に設定可能に構成された請求項1記載のセルトラヒック監視装置。

【請求項3】一または複数のVPIのセルを含む被監視信号を入力する入力端子と、この信号を入力とするVPI識別回路とを備え、

このVPI識別回路で識別されたセルの隣のセルとの時間間隔が設定された時間T₀より短いときにそのセルを廃棄するための判定出力を送出する手段をVPI毎に備えたセルトラヒック監視装置において、

前記時間間隔が前記時間T₀より短くともそのセルを仮想的にある値（CDV）の範囲で遅らせるとそのセルを廃棄しなくてよいことになる場合には、そのセルの廃棄を免れるまで仮想的に遅れて到着したものとして以降の処理を行う手段を備えたことを特徴とするセルトラヒック監視装置。

【請求項4】複数のVPIについて一つの装置が共用され、各VPIについて前記T₀の値が異なる値に設定可能に構成された請求項1記載のセルトラヒック監視装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ATM通信またはパケット通信に利用する。本発明はATM通信網の中で転送されるセルのトラヒックを監視する技術に関する。この明細書では固定長のパケットを「セル」という。

【0002】本発明は、通信業者と利用者との契約によりあらかじめ設定されたトラヒックを越えて利用者がセルを送信したときに、契約違反としてそのセルを廃棄す

るポリシング（POLICING、警察行為）に利用する。

【0003】

【従来の技術】ATM通信網では、一つの中継点に一時に多数セルが集中的に到来すると中継のためのセルの遅延時間量が大きくなり、通信網の円滑な運用ができなくなる。このためATM通信網を運用する通信業者は利用者との契約の中で、① 利用者は連続するTセル時間内にx個のセルを越えてセルの送信をしないこと、② 通信業者はこれに違反して送信されたセルを廃棄すること、を利用契約の条件とすることが行われる。例えばT=5、x=3という契約条件が設定されている利用者に対しては、連続する5セル時間内に3セルまでセルを送信することができるが、これを越えてセルを送信するとその越えたセルは廃棄されることになる。このための監視および廃棄はポリシングといわれ、ATM通信網の入口またはその近傍で自動的にかつ継続的に実行される。

【0004】ここで継続的にあるいはTセル時間とは、あるTセル時間が経過してから次のTセル時間というようにTセル時間の継続的なウィンドウで監視するのではなく、図5に例示するように1セル時間毎に新たなTセル時間を次々に設定するいわゆるスライディング・ウィンドウによる監視である。

【0005】図9は従来例装置のブロック構成図である。この回路は本願出願人の先願（特願平2-130464号、特開平一 号公報参照）に記載されたものであり、図9は連続する5セル時間に3セルまで送信できるが4セル以上は許されないように監視する回路である。

【0006】図9では入力端子1に被監視信号が入力する。セル検出回路2はこの被監視信号に同期してその信号中の有効セルがあると検出出力を送出する。シフトレジスタ3はこの検出出力を入力とし、図外のクロック信号により1セル時間毎に1段ずつ図の右方向にシフトされる。すなわちこのシフトレジスタ3はその入力Tセル時間後に遅延出力に送出される。この値Tは上記説明のように契約により設定される値である。演算回路4はこの例ではアップダウンカウンタであって、その加算入力にはセル検出回路2の検出出力が入力し、その減算入力にはシフトレジスタ3の遅延出力が入力する。メモリ5には上記説明のとおり契約により設定された閾値xが保持されている。比較回路4ではこの閾値xと上記アップダウンカウンタの内容Sとを比較し、

$$S > x$$

ならば禁止出力7に判定信号を送出する。廃棄処理回路8では禁止出力7が入力すると、入力端子1にセルが入力してから上記の判定のための処理が終わるまでほぼ1セル時間だけ待ち合わせていた該当するセルを廃棄する。廃棄処理回路8に図示する符号Dはここに待ち合わせ用の遅延回路があることを示す。当該セルは廃棄され

たのであるから、遅延回路 3 の第一段の内容はクリアされる。

【0007】もっとも図 9 に示す構成はセルトラヒック監視をわかり易いように、シフトレジスタやアップダウンカウンタなどのハードウェア構成で説明したが、実用的にはこれと同等の回路をマイクロ・プロセッサの中に組み込み、プログラム制御により遅延回路 3 およびアップダウンカウンタに相当するメモリ領域の内容を書き換えて実行できるように構成される。しかもマイクロ・プロセッサの制御による構成では、一つのチャネルだけでなく、複数のチャネルもしくはバーチャルパス（仮想のパス）について一つのプロセッサを共通に利用して、このようなセルトラヒック監視装置を構成することができる。その場合には、非同期で時分割多重された多数のセルについてそのバーチャルパス毎にセルのヘッダ（またはタグ）にバーチャルパス番号（この明細書では V P I (Virtual Path Identifier) という）が付され、この V P I を識別して V P I 毎に監視を行う構成とすることができる。さらにこの場合には、プロセッサ制御用のソフトウェアを工夫するだけで、V P I 毎に異なる条件、例えば上述の T の値や x の値などを個別に設定することができる。これも本願出願人の先願（特願平 2-31973 号）で開示した。

【0008】

【発明が解決しようとする課題】このように多数の V P I について非同期に時分割多重された多重信号について、一つの装置で V P I 毎にセルトラヒック監視を実行すると、利用者の回線毎にセルトラヒック監視装置を設ける必要がなく、多重化された信号通路に一つだけまとめてセルトラヒック監視装置を設置すればよいのできわめて経済的であるが、ここで発明者らは次のような問題に遭遇した。

【0009】すなわち、このように非同期に時分割多重された信号でセルトラヒック監視を行うと、各回線利用者はその端末で上述の契約条件に適合するように正しくセルを送出している場合にも、複数の回線について時分割多重を行うと多重化の際に信号の待ち合わせがあり、その待ち合わせの時間に変動があるから、結果として契約条件に違反して送信されたものとしてセルが廃棄されてしまうことがある。

【0010】一般に、複数のデジタル信号の多重にはその多重回路に F I F O (First-In First-Out、先入れ先出し) メモリをバッファ回路として用い、多数の低速度の入力回線から短い時間に一斉にセルが入力しても、これをバッファ回路に一時蓄積しておき、多重出力側の高速度のクロック信号にしたがってこのバッファ回路の内容を読み出して多重を行う。このときに個々のセルはバッファ内で待ち合わせることが必要である。しかもこの待ち合わせの時間があらゆるセルについて一定であれば問題はないが、待ち合わせ時間はト

ラヒックの状態その他の外部的な条件により変動する。したがって、一つの利用者の回線についてみると、多重された信号上では必ずしもその利用者のセル時間間隔は送信した時間間隔になっていない。つまり多重化された信号から一つの V P I に着目して、そのセルを検出しその発生について上記の従来例回路で説明した監視を行うと、利用者の回線では契約条件に合致していたにもかかわらず、監視点では契約条件に合致しないと判定される場合が生じることになる。

10 【0011】本発明はこの問題を解決するもので、セルが非同期に多重された多重信号の段階で V P I 毎にセルトラヒックの監視を行っても、回線利用者がその端末回線で契約条件を満足するようにセル送信を行っている場合には、セルが廃棄される可能性を小さくするセルトラヒック監視装置を提供することを目的とする。

【0012】

20 【課題を解決するための手段】本発明は、上で説明した非同期多重を行う際に生じる待ち合わせ時間の変動（この明細書では C D V (Cell Delay Variation) という）の範囲であれば、ポリシングを行う監視点で到着するセルの状態が契約違反の状態であってもこれを違反とせず救済することを特徴とする。すなわち、監視点で到着するセルに契約条件を越えるセルがある場合に、一つ（または複数）のセルを仮想的に C D V だけ移動させてみて、それが契約条件を満足する状態になるならば、その処理およびそれ以降の処理では、そのセルが仮想的に移動させた時刻に到着したものとして取り扱うことを特徴とする。

30 【0013】この C D V はもとより変動値であるからさまざまな設定が可能である。この明細書で単に C D V と表示してあってもこれはさまざまな値をとり得ることを意味する。この C D V は一般に統計的に分布する量となる。したがってその分布する範囲をほとんど全部カバーするように大きめの値を設定することもできるし、その統計的に分布する範囲の上限を一部切り捨てて小さい値を設定することもできる。大きめの値を設定する場合には、通信回線の契約をした利用者側に有利であり、実際には利用者が契約に違反している場合にもこれをポリシングで規制しない状態も発生し得る。小さい値を設定するときには通信業者にとって有利であり、実際に利用者が契約に違反していない場合にもポリシングにより規制してしまうこともあり得る。

40 【0014】この C D V として大きめの値を設定する場合には、通信網を運用する通信業者の判断により、起こり得る C D V の値とはかなり離れた大きい値を設定する場合もあり得る。通信網のトラヒックに余裕がある場合にはそれでもよいわけである。つまり C D V の値は必ずしも一定値でなく、トラヒックを見ながら時間により別々の値を設定することも可能である。逆に小さい値を設定する場合には統計確率的な配慮、例えば起こり得る C

DVのうちの99%を救済する、というような配慮を行うことが望ましい。

【0015】すなわち本発明の第一は、VPI識別回路で識別されたセルがTセル時間にx個を越えるときそのセルを廃棄するための判定出力を送出する手段をVPI毎に備えたセルトラヒック監視装置において、前記VPI識別回路で識別された連続するセルの個数がx+1個に達する時間がTセル時間を越えるか否かを判定し、越えると判定した場合にそのx+1個めのセルを仮想的にある値(CDV、上述した)の範囲で遅らせるとTセル時間にx個を越えないことになる場合には、そのセルの廃棄を免れるまでそのx+1個めのセルが仮想的に遅れて到着したものとしてそれ以降の処理を行うことを特徴とする。仮想的に遅れて到着したとする場合にはその仮想的な時刻を記憶して以降の処理を実行する。

【0016】この装置は、複数のVPIについて一つの装置が共用され、各VPIについて前記Tの値およびまたは前記xの値を異なる値に設定可能に構成することができる。

【0017】本発明の第二は、上記の条件で、 $T = T_0$ 、 $x = 1$ である場合の装置であって、隣のセルとの時間間隔が時間 T_0 より短くともそのセルを仮想的にある値(CDV)の範囲で遅らせるとそのセルを廃棄しなくてよいことになる場合には、そのセルの廃棄を免れるまで仮想的に遅れて到着したものとして以降の処理を行うことを特徴とする。この場合にも仮想的に遅れて到着したとする場合にはその仮想的な時刻を記憶して以降の処理を実行する。

【0018】この装置は、複数のVPIについて一つの装置が共用され、各VPIについて前記 T_0 の値を異なる値に設定可能に構成することができる。

【0019】

【作用】本発明の第一では、本来Tセル時間にxセル以内という条件であるところを、x+1セルが到着する時間がTセル時間以内であるかどうかを監視していて、x+1番めのセルが到着したときにTセル時間を越えていれば、そのx+1番めのセルを仮想的にある値(CDV)の範囲でTセル時間にxセル以内という条件を満足するまで遅らせてみて、遅らせた結果が条件を満足することになれば、つまりそのx+1番めのセルをそのTセル時間の範囲の外に出すことができるなら、そのセルを廃棄しないことにするものである。これはTセル時間内のセルの個数を数えてその個数がオーバーしたか否かを判定するより、装置のハードウェアおよびソフトウェアが簡単化する利点があり実用的な構成である。

【0020】本発明の第二は、上記の条件で、 $T = T_0$ 、 $x = 1$ である場合についての装置である。このように $T = T_0$ 、 $x = 1$ と設定されること、つまり隣のセルとの時間間隔が T_0 以下であることと設定されることは実用的に多い設定条件であり、その場合にはポリシ

グのための装置が簡単化される。この場合には判定のための処理時間をかなり短くできるから、多数のVPIについて一つの装置を共用させて利用することができる。

【0021】

【実施例】図1は本発明第一実施例装置のブロック構成図である。この例は上記した特許請求の範囲第3項に相当する例であり、しかも複数のVPIではなく一つのVPI(実際にはVPIがなくなる)の場合であるが、この例が単純でわかり易いのでこれを先に説明する。

【0022】図1の装置は、一つのVPIのセルを含む被監視信号を入力する入力端子1と、この信号を入力とするVPI識別回路に相当するセル検出回路2とを備え、破線で囲む回路が、このセル検出回路2で識別されたセルの隣のセルとの時間間隔が設定された時間 T_0 より短いときにそのセルを廃棄するための判定出力7を送出する手段に相当する。そしてこの破線で囲む回路は本発明の特徴として、前記時間間隔が時間 T_0 より短くともそのセルを仮想的にある値(CDV)の範囲で遅らせるとそのセルを廃棄しなくてよいことになる場合には、そのセルの廃棄を免れるまで仮想的に遅れて到着したものとして以降の処理を行う手段を備えている。

【0023】これを説明すると、時計11は現在時刻が発生する。セル検出回路2で検出されたセルは、メモリ12に送られここでこの時計11が発生する到着時刻 $t_a(n)$ が付される。これは演算回路14に与えられる。演算回路14はマイクロプロセッサにより構成されていて、別のメモリ15およびさらに別のメモリ16が接続されている。もっともこれらのメモリは実用的な装置では物理的には一つのメモリの領域を区分して利用される。メモリ15にはこの前に検出されたセルの時刻 $t_a(n-1)$ が記憶されている。そしてメモリ16には設定された条件である隣のセルとの最小許容時間間隔 T_0 と、上述のCDVが蓄積されている。CDVとは通信業者と利用者との契約位置とこのポリシングを行う監視位置との間に生じるセルの時間遅れの変動に相当する時間であり、かりにここではCDVはその起こり得る変動の最大値とする。このCDVは上記契約位置と上記監視位置との間にセルが伝達される絶対遅延時間ではなく、遅延時間の変動値であることに注意を要する。絶対遅延時間はどのような値であっても問題はなく、ここで問題になるのはその遅延時間が変動することである。

【0024】演算回路14はメモリ12の監視対象となるセルの到着時刻 $t_a(n)$ とその前のセルの到着時刻 $t_a(n-1)$ との差が演算されて、これが最小許容時間間隔 T_0 以上であるか否かが判断され、 T_0 以上であれば契約条件について問題ないとし、判定出力7は送出不されるから廃棄処理回路8で待っていた当該セルは出力端子9から送出される。これが T_0 を下回るときには、その時刻 $t_a(n)$ を仮想的にCDVだけ後にずらして、なお T_0 を下回るか否かを判断する。それが

T_0 。以上であればCDVの範囲で T_0 。までずらして、判定出力7は送出しない。これがCDVの範囲でずらしてみてもまだ下回るときには、判定出力7を送出して廃棄処理回路8でそのセルを廃棄する。

【0025】つまり、本発明の装置ではCDVに相当する時間まで条件を緩やかにしてポリシングを行う。この装置により回線の利用者が契約条件を満足するようにセルを送信しても、利用者位置からポリシングを行う位置までの間に遅延時間の変動があってもそれを救済することができる。

【0026】図2は本発明の第二実施例装置ブロック構成図である。この例は上記した特許請求の範囲第4項に相当する例である。すなわち、この例は上記第一実施例と同様の原理であるが、複数のVPIについて一つの装置を共用してポリシングを行う例である。すなわち図2の実施例装置は、複数のVPIのセルを含む被監視信号を入力する入力端子1と、この信号を入力とするVPI識別回路21とを備え、図2に破線で囲む回路が、このVPI識別回路で識別されたセルの隣のセルとの時間間隔が設定された時間 T_0 。より短いときにそのセルを廃棄するための判定出力を送出する手段に相当する。そして、この破線で囲む回路には、時間間隔が前記時間 T_0 。より短くともそのセルを仮想的にある値(CDV)の範囲で遅らせるとそのセルを廃棄しなくてよいことになる場合には、そのセルの廃棄を免れるまで仮想的に遅れて到着したものとして以降の処理を行う手段を備えている。

【0027】これをさらに詳しく説明すると、VPI識別回路21で識別されたセルは、そのVPIとともに演算回路14に送られる。ここで時計11が発生する現在の時刻 $t_d(n)$ を付与して、そのVPIについてその前に到着しているセルのセルに付された時刻 $t_d(n-1)$ をメモリ17から読出その時刻の差を演算する。そしてその差が T_0 。以上である場合にはセルの送信には契約違反がない。判定出力7には出力がないので、廃棄処理回路8は作動することなく、ポリシングの間だけこの廃棄処理回路8で待ち合わせていた当該セルは出力端子9から送信される。上記差が T_0 。より小さいときには、みかけ上契約違反であるが、到着したセルの時刻をCDVの範囲で後ろへずらしてみても、それなら契約条件を満足する、すなわち前に到着しているセルに付された時刻 $t_d(n-1)$ との差が T_0 。以上となることから、仮想的にその到着時刻をずらした後の時間に書き直してメモリ17に蓄積する。この場合にも廃棄処理回路8は作動せず当該セルは出力端子9から送信される。到着したセルの時刻をCDVだけ後ろへずらしてみてもなお前に到着しているセルに付された時刻との差が T_0 。より小さい場合には、判定出力7を送信して、廃棄処理回路8では待ち合わせていた当該セルを廃棄して出力端子9にはそのセルは送信されない。

【0028】図3はその動作の一例を示す図であって、(現)は現実の時間軸であり、(仮)は仮想の時間軸である。いまセルAが到着してそれに時刻 $t_d(1)$ が付される。次にセルBが到着すると、これをセルAから時間 T_0 。以上後ろに移動して考えるにはCDV以上移動することが必要であり、このセルは廃棄となる。しかし、セルAにつづいてセルCが到着したとすると、これは最初のセルAから時間 T_0 。以内であるが、仮にCDVだけ後ろにずらしてみるとセルAから時間 T_0 。以上になるので、救済することができる。セルCには後ろにずらした仮の時刻 $t_d(2)$ を付してメモリ17に記憶する。

【0029】図4は演算回路14が実行するこの動作を説明するフローチャートである。この図で t_a は現実の時刻であり、 t_d は仮想の時刻である。

【0030】図2の構成の装置では、契約値である T_0 。および仮にずらしてみる時間CDVをVPI毎に表にしてメモリ17に保持するから、VPI毎にこれらのパラメタを異なる値に設定することができる。

【0031】次にTセル時間に到着するセル数があらかじめ契約した x を越えるときに当該セルを廃棄するポリシングについて説明する。図5はこの例であり、一例として $T=8$ 、 $x=3$ の例を示す。この時間Tは一つの時間Tが経過してから新たな時間Tが開始されるのではなく、1セル時間毎に新たなTが開始する。いわゆるスライディングウィンドウである。いま図5で第一番めの時間Tでは到着したセル数がABCの3個であり、 $T(=8)$ セル時間に3個を越えないという条件に合っている。しかし、第二番めの時間Tでは到着したセル数が4個になり、この条件に合致しない。これを本発明では、最後に到着したセルDをわずかに後ろに仮想的にD'の位置に移動すると条件に合致することになる。これは現実ではないが、仮想的にD'に移動したものとしてそれ以降の処理を実行する。この図5の例ではその次のセルEははるかに遅れて到着するから、後ろにずらしたことにより問題は生じることはないが、後ろにずらしたことにより、つづくTセル時間の中でまた条件に合致しない場合には、その仮想的にずらしたものはそのままとし、後の処理で次々にずらして処理を行い判定を行う。

【0032】図6は本発明第三実施例装置のブロック構成図である。この例は特許請求の範囲第1項に相当する実施例であり、すなわちTセル時間に到着するセル数が x を越えるときに当該セルを廃棄するとのポリシングを行う。しかもこの例ではVPIは複数ではなく一つ(現実にはVPIが不要になる)である。

【0033】この装置は、被監視信号を入力する入力端子1と、この信号を入力とするVPI識別回路に相当するセル検出回路2とを備える。このセル検出回路2で検出されたセルがTセル時間に x 個を越えるときそのセルを廃棄するための判定出力7を送出する手段が図6に破線で囲む回路である。そしてこの回路には、セル検出回

路2で検出された連続するセルの個数が $x+1$ 個に達する時間がTセル時間を越えるか否かを判定する手段と、この判定する手段がTセル時間を越えると判定した場合にその $x+1$ 個めのセルを仮想的にある値(CDV)の範囲で遅らせるとTセル時間に x 個を越えないことになる場合には、そのセルの廃棄を免れるまでその $x+1$ 個めのセルが仮想的に遅れて到着したものとしてそれ以降の処理を行う手段(図5参照)とを備える。

【0034】これを詳しく説明する。セル検出回路2で検出されたセルは時計11が発生する現在時刻がメモリ12で付与されて、切換回路10を介して、その時刻情報がシフトレジスタ3に入力する。このシフトレジスタ3の長さは x である。これはセル検出回路2の出力がある度に行われ次々にシフトレジスタ3にこの時刻情報が蓄積される。つまり x 個のセルの時刻情報がこのシフトレジスタに蓄積される。そしてメモリ12で $x+1$ 番めのセルに現在時刻 $t_a(x+1)$ が付与されこれが切換回路10からシフトレジスタ3に送られる前に演算回路14にも取り込まれて、シフトレジスタ3の右端にある1番めのセルの時刻 $t_a(1)$ と比較される。その間の時間経過がメモリ16に保持されている値Tセル時間を越えていれば、少なくとも1番めのセルから x 番めのセルまではTセル時間内またはTセル時間を越えて送信されたことになるから、セル廃棄を行う必要はない。この時間経過がTセル時間より短いとすると、その $x+1$ 番めのセルについて演算回路14はメモリ16からCDVの値を取り出し、このCDV以内の時間だけ後ろに時刻をずらしてみる。ずらしてみた結果、Tセル時間を越えることがわかれれば、その $x+1$ 番めのセルは現実とは異なるが仮想的にずらした値の時刻であったものとして、その仮想的な値 $t_d(1)+T$ をメモリ18で作り、これを切換回路10からシフトレジスタ3に送る。ずらしてみてもなお時間Tの範囲である場合には、演算回路14は判定出力7を送出して、その間だけ廃棄処理回路8で待っていた当該セルを廃棄する。これを繰り返すと1セル時間毎に図5に示すようなスライディングウィンドウのT時間の監視を実行することができる。

【0035】図7は本発明第四実施例装置のブロック構成図である。この例は図6で説明したものと同様に、Tセル時間に x セルを越えて送信しないという契約条件についてポリシングを行うものであるが、VPIが複数であって、複数のVPIについて非同期に多重された信号を一つの装置が共用される例である。特許請求の範囲第2項に相当する。

【0036】この装置は、複数のVPIのセルを含む被監視信号を入力する入力端子1と、この信号を入力とするVPI識別回路21とを備え、図7の破線で囲む回路がこのVPI識別回路21で識別されたセルがTセル時間に x 個を越えるときそのセルを廃棄するための判定出力を送出する手段に相当する。またこの破線で囲む回路

に、VPI識別回路21で識別された連続するセルの個数が $x+1$ 個に達する時間がTセル時間を越えるか否かを判定する手段と、この判定する手段がTセル時間を越えると判定した場合にその $x+1$ 個めのセルを仮想的にある値(CDV)の範囲で遅らせるとTセル時間に x 個を越えないことになる場合には、そのセルの廃棄を免れるまでその $x+1$ 個めのセルが仮想的に遅れて到着したものとしてそれ以降の処理を行う手段とを含む。

【0037】これをさらに詳しく説明する。入力端子1に到来した信号は、VPI識別回路21でVPIが識別されるとここでVPIを付されて演算回路14に送られる。演算回路14には複数のシフトレジスタ31、32が接続されている。これらのシフトレジスタはこの図7には二つのみ図示するが、これはVPI毎に設けられる。そしてその長さはそのVPI毎に契約された長さ x_1, x_2, \dots である。この複数のシフトレジスタ31、32は実際には一つメモリのメモリ領域に設定されるものであり、その数およびそれぞれの長さはソフトウェアにより設定するあるいは変更することができる。この演算回路14にはメモリ17が接続され、このメモリ17にはVPI毎に契約条件であるTと、遅延変動を表すCDVが蓄積されている。

【0038】上記VPI識別回路21から送られたセルには時計11が発生する現在時刻が付与され、該当するVPIのシフトレジスタに送られる。そのVPIのセルが識別される毎にこのシフトレジスタは一つずつシフトされる。そしてシフトレジスタの右端にきたセルの時刻と、現在VPI識別回路21で識別されたセルの時刻との差がT時間を越えているかを調べる。これは当該VPIについて $x+1$ セルの到着時間がTセル時間を越えているかを識別するものである。Tセル時間を越えていれば契約条件を満足している。Tセル時間を越えていない場合には、いま到着した $x+1$ 番めのセルをCDVの範囲で仮想的に後ろにずらしてみ、それでTセル時間を越えることになるかを調べる。それでTセル時間を越えれば実際とは違うがその仮想的に後ろにずらした時間にその $x+1$ 番めのセルが到着したものとして、該当するシフトレジスタにはその仮想的に後ろにずらした時刻を入力する。

【0039】この動作を1セル時間毎に繰り返すことにより、図5で説明したようにスライディングウィンドウTで継続的にポリシングを行うことができる。図8にこの動作のフローチャートを示す。

【0040】

【発明の効果】以上説明したように、本発明によれば、通信網の利用者がその利用者の位置で契約条件を満足するように送信しているにもかかわらず、その利用者の位置とポリシングを行う位置との間に遅延時間の変動があるために、契約条件に違反しているとしてセルが廃棄される可能性を小さくすることができる。

【0041】本発明の装置はいずれも、複雑な処理を簡単な構成の装置で実現することができる。本発明の装置は、ハードウェアもソフトウェアも簡単な構成で実現することができる。

【図面の簡単な説明】

【図1】本発明第一実施例装置のブロック構成図。

【図2】本発明第二実施例装置のブロック構成図。

【図3】第二実施例装置の動作説明図。

【図4】第二実施例装置の演算回路の動作を説明するフローチャート。

【図5】スライディングウィンドウを説明する図。

【図6】本発明第三実施例装置のブロック構成図。

【図7】本発明第四実施例装置のブロック構成図。

【図8】第四実施例装置の演算回路の動作を説明するフローチャート。

【図9】従来例装置のブロック構成図。

【符号】

1 入力端子

2 セル検出回路

3 シフトレジスタ

4 演算回路

5 閾値保持回路

6 比較回路

7 判定出力

8 廃棄処理回路（Dは待ち合わせ用の遅延回路があることを示す）

9 出力端子

10 切換回路

11 時計

12 メモリ

14 演算回路

15 メモリ

16 メモリ

17 メモリ

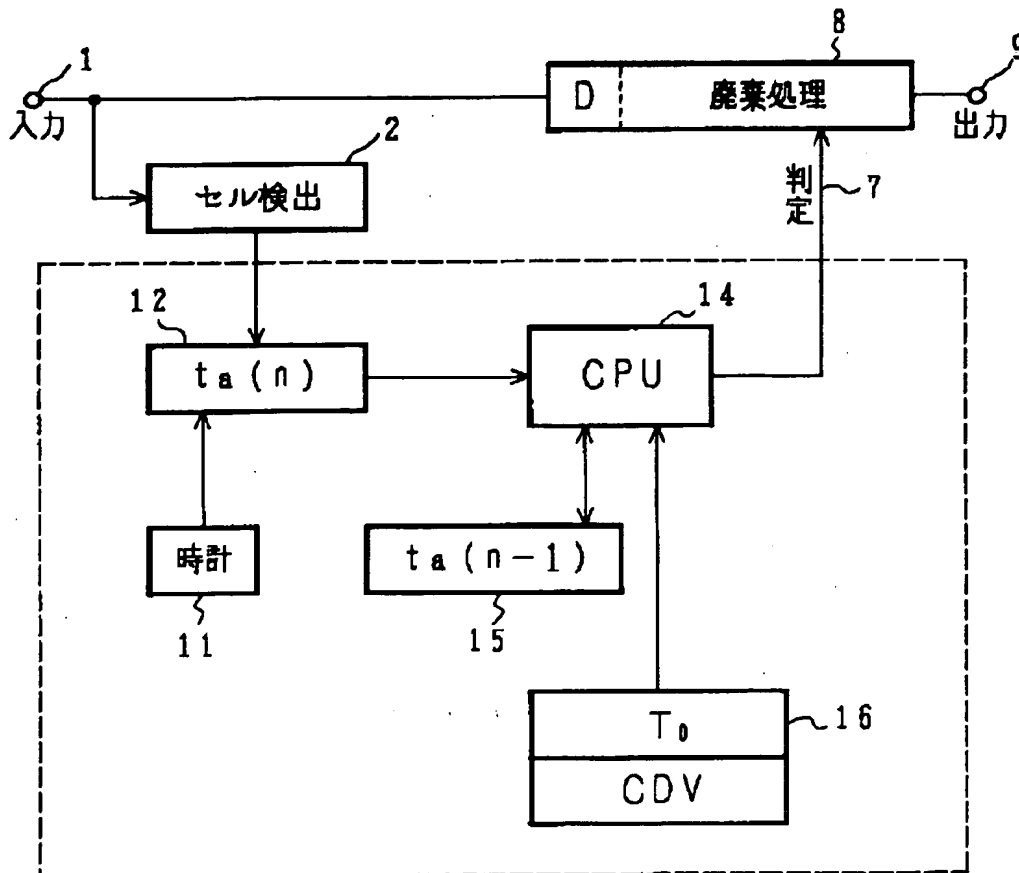
18 メモリ

21 VPI識別回路

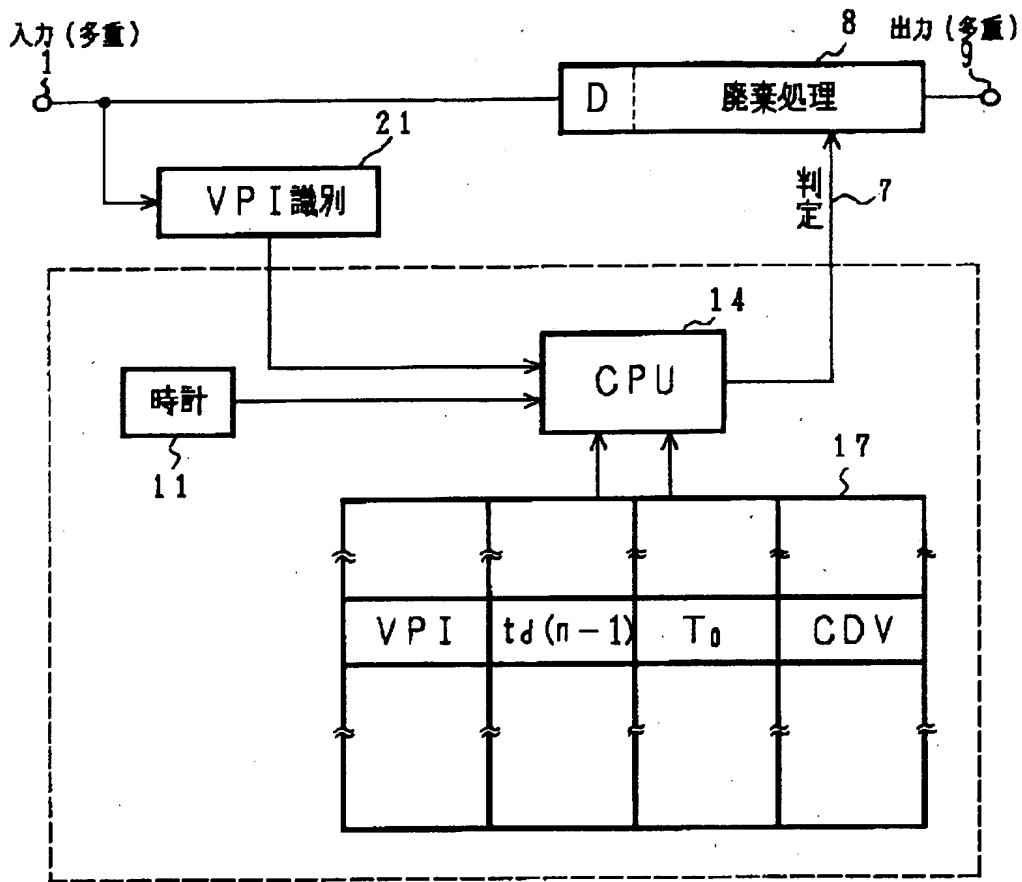
31 シフトレジスタ

32 シフトレジスタ

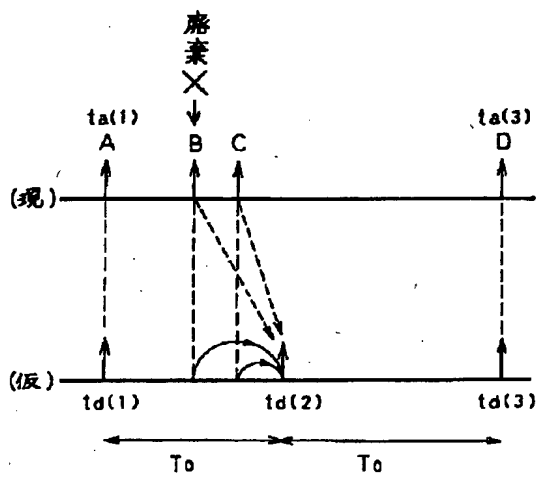
【図1】



【図2】



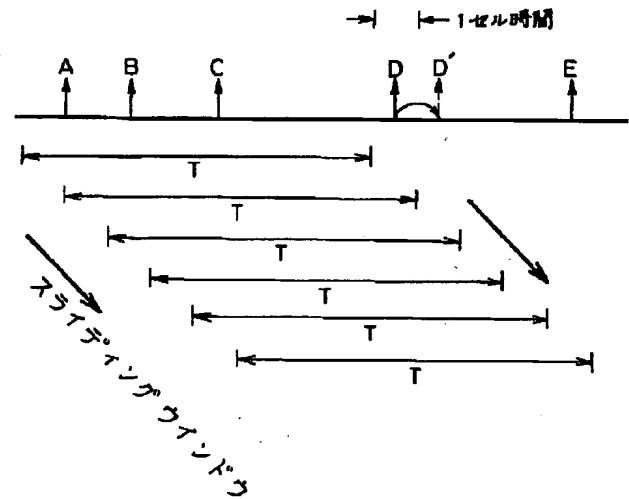
【図3】



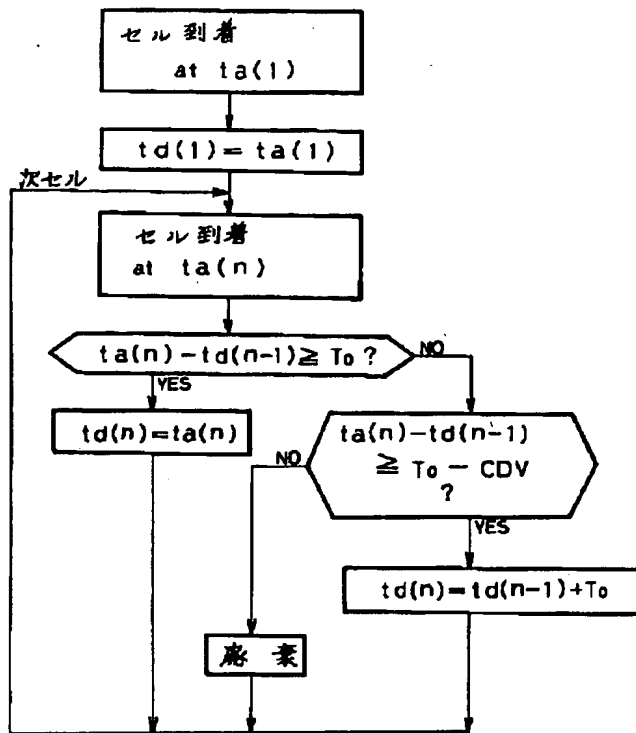
→ | ← CDV 以上 (救済不可)

→ | ← CDV 以内 (救済可)

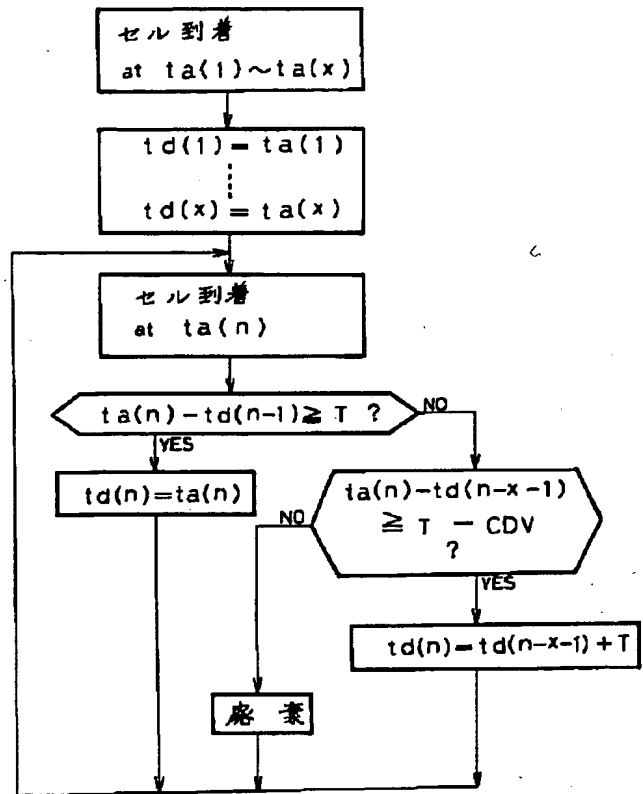
【図5】



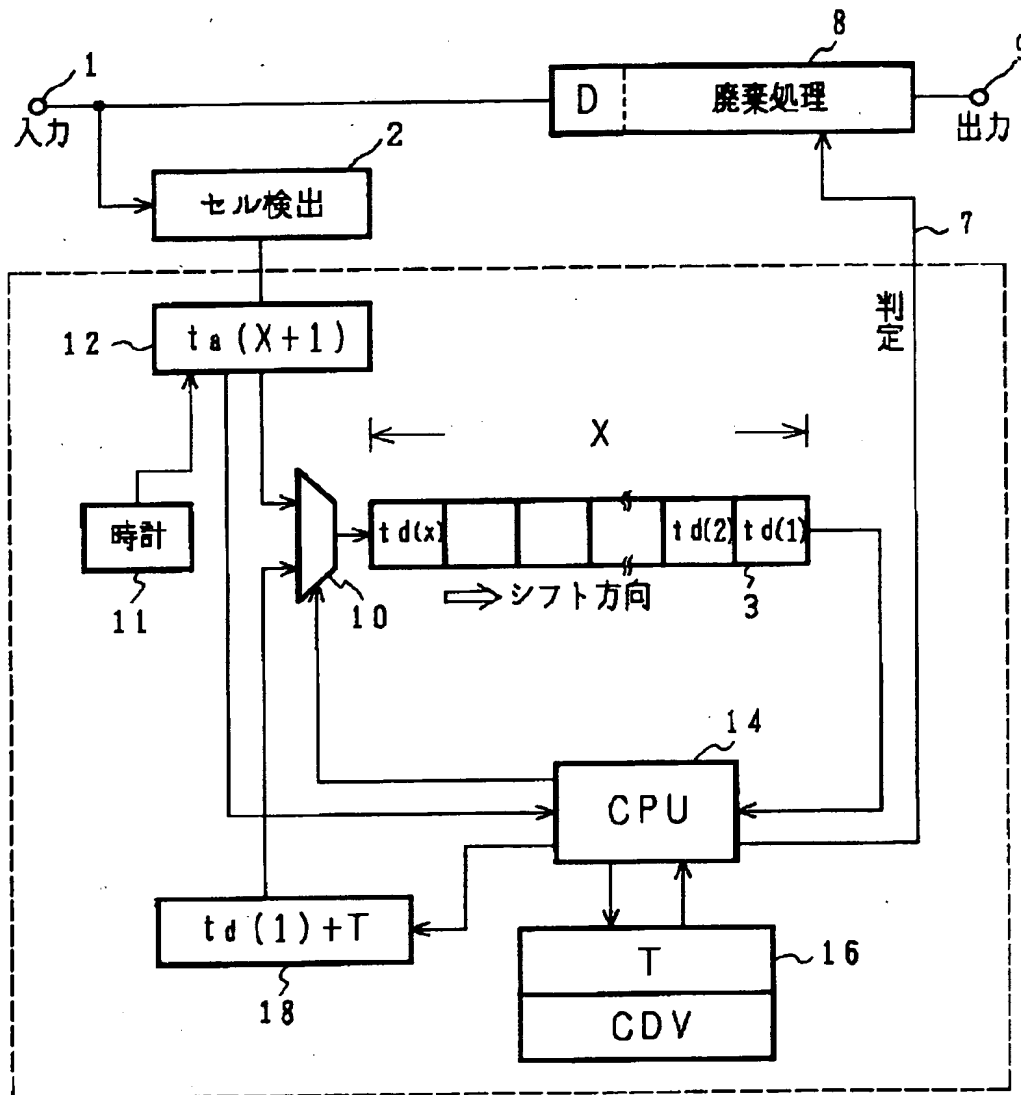
【図4】



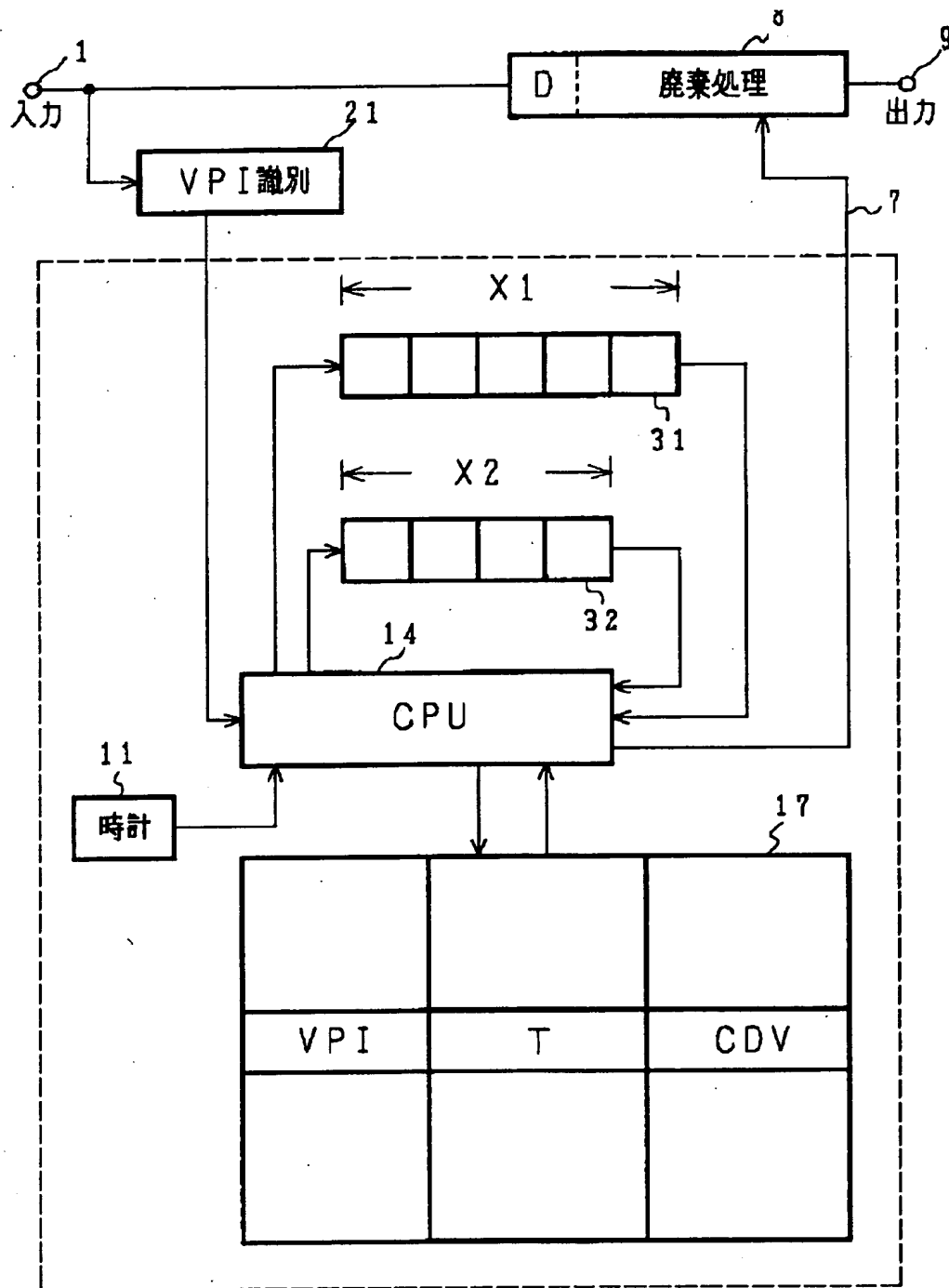
【図8】



【図6】



【図7】



【図9】

